

Semestrální práce z předmětu Logické obvody

Petr Bulena
studijní skupina 238

Zadání

Pomocí synchronního sekvenčního obvodu realizujte konečný automat se dvěma vstupy a, b a jedním výstupem z, zadaný následující tabulkou přechodů a tabulkou výstupů. Minimalizujte počet vnitřních stavů a použijte vhodné zakódování vnitřních stavů. Výsledné schéma implementujte v Xilinx ISE a nahrajte do přípravku XCRP. Vstupy ovládejte přepínači, výstup a všechny vnitřní proměnné vyved'te na LED diody. Pro hodinový signál a signál reset (použijte klopné obvody s asynchronním nulováním) použijte tlačítka. Správnost návrhu ověřte na přípravku podle tabulky přechodů a výstupů.

	00	01	10	00	01	10
Q0	Q13	Q13	Q3	1	1	0
Q1	Q5	Q12	Q6	1	1	0
Q2	Q7	Q0	Q2	0	0	0
Q3	Q1	Q9	Q0	1	1	1
Q4	Q5	Q12	Q3	1	1	0
Q5	Q12	Q4	Q11	1	1	0
Q6	Q4	Q10	Q1	1	1	1
Q7	Q7	Q1	Q7	0	0	0
Q8	Q9	Q7	Q2	0	0	0
Q9	Q8	Q2	Q7	0	0	0
Q10	Q8	Q7	Q2	0	0	0
Q11	Q3	Q0	Q8	1	1	0
Q12	Q13	Q4	Q11	1	1	0
Q13	Q5	Q4	Q11	1	1	0

Minimalizovaná tabulka přechodů a výstupů (implikační tabulka v příloze)

	00	01	10	00	01	10
A	D	D	C	1	1	0
B	B	A	B	0	0	0
C	A	E	A	1	1	1
D	D	A	F	1	1	0
E	E	B	B	0	0	0
F	C	A	E	1	1	0

Zakódovaná tabulka přechodů a výstupů

q ₂ q ₁ q ₀	00	01	10	00	01	10
000	100	100	010	1	1	0
001	001	000	001	0	0	0
010	000	110	000	1	1	1
100	100	000	101	1	1	0
110	110	001	001	0	0	0
101	010	000	110	1	1	0

Mapy a výrazy pro vstupy klopných obvodů a výstupní proměnné (barvy: **j**, **k**)

			q_1 q_0	
	0	1	X	0
	0	0	X	0
	0	0	X	1
	0	0	X	0
	X	X	X	X
	X	X	X	X
	1	0	X	1
	0	1	X	0

b a q_2

$$j_0 = bq_2 + aq_2q_1$$

$$k_0 = q_2 + a\overline{q_2}$$

			q_1 q_0	
	0	0	X	0
	0	1	X	1
	0	0	X	0
	0	0	X	1
	X	X	X	X
	X	X	X	X
	0	1	X	0
	1	0	X	0

b a q_2

$$j_1 = \overline{a}q_2q_0 + \overline{b}q_2\overline{q_0}$$

$$k_1 = b + \overline{a}q_2 + aq_2$$

			q_1 q_0	
	1	0	X	0
	1	0	X	1
	0	0	X	0
	1	0	X	1
	X	X	X	X
	X	X	X	X
	1	1	X	0
	0	0	X	0

b a q_2

$$j_2 = aq_1 + \overline{b}q_1q_0$$

$$k_2 = a + \overline{b}q_0 + bq_1$$

			q_1 q_0	
	1	0	X	1
	1	1	X	0
	1	1	X	0
	1	0	X	1
	X	X	X	X
	X	X	X	X
	0	0	X	0
	0	0	X	1

b a q_2

$$z = \overline{b}q_1q_0 + \overline{b}q_2q_0 + \overline{q_2}q_1$$

Maximální možná frekvence hodinových pulzů

$$W1 = 3 + 1 + 1,8 + 1,4 = 7,2$$

$$W2 = 3 + 1 + 1,8 + 1,8 + 3 = 10,6$$

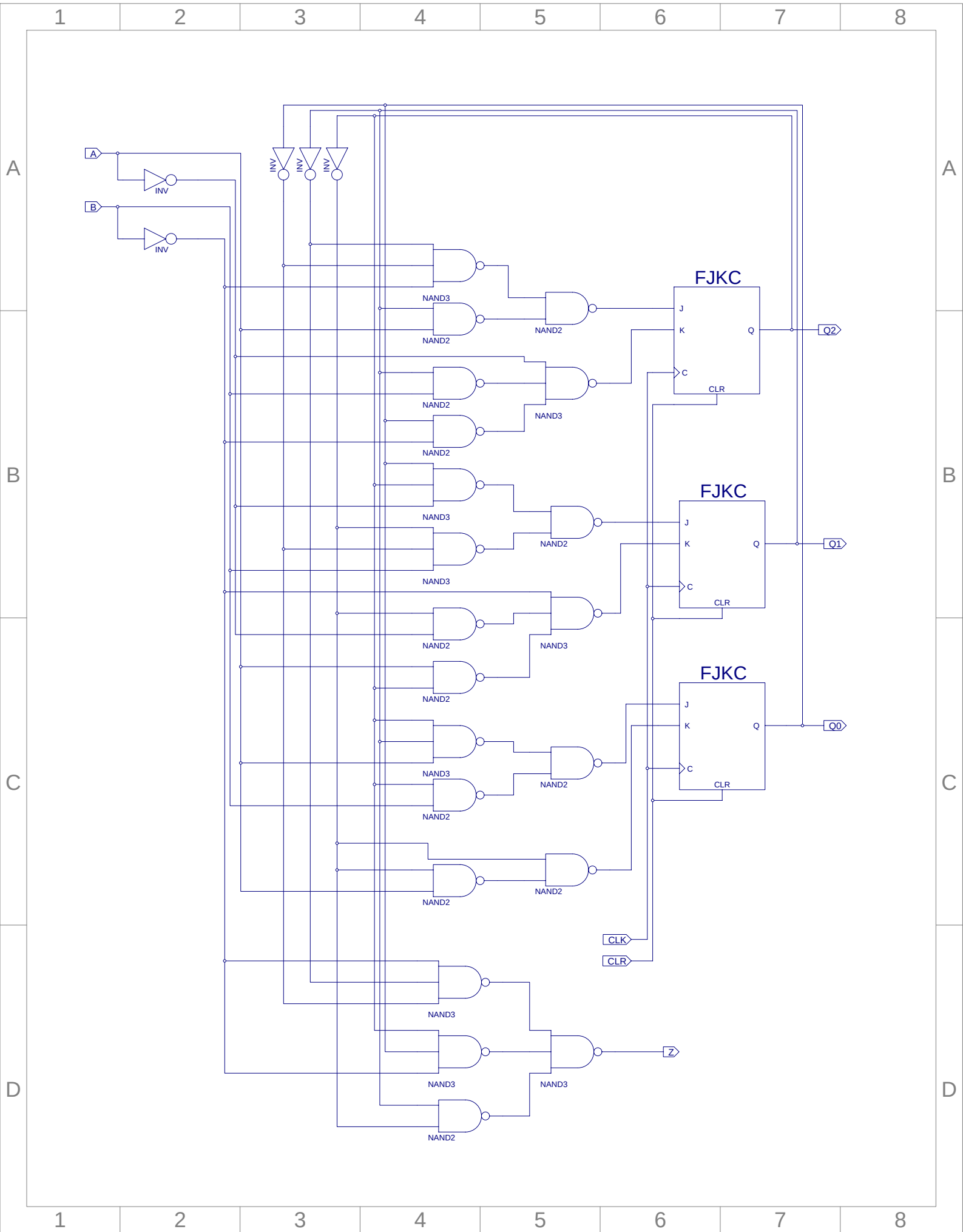
$$W3 = 4 + 1 + 1,8 + 1,4 = 8,2$$

$$W4 = 4 + 1 + 1,8 + 1,8 + 3 = 11,6$$

$$f_{\max} = 86,2 \text{ MHz}$$

Implikační tabulka

1	13,5 13,12 3,6												
2	X	X											
3	X	X	X										
4	13,5 13,12	6,3	X	X									
5	~~13,12~~ ~~13,4~~ 3,11	~~5,12~~ ~~4,12~~ 6,11	X	X	~~5,12~~ ~~12,4~~ 3,11								
6	X	X	X	1,4 9,10 0,1	X	X							
7	X	X	0,1	X	X	X	X						
8	X	X	~~7,9~~ 0,7	X	X	X	X	~~7,9~~ ~~1,7~~ 7,2					
9	X	X	~~7,8~~ ~~0,2~~ 2,7	X	X	X	X	~~7,8~~ ~~1,2~~ 7,2	7,2				
10	X	X	~~7,8~~ ~~0,7~~ 0,7	X	X	X	X	~~7,8~~ ~~1,7~~ 7,2	9,8	2,7			
11	~~13,3~~ ~~13,0~~ 3,8	~~5,3~~ ~~12,0~~ 6,8	X	X	~~5,3~~ ~~12,0~~ 3,8	~~12,3~~ ~~4,0~~ 11,8	X	X	X	X	X		
12	~~13,4~~ ~~8,11~~ 8,11	~~5,13~~ ~~12,4~~ 6,11	X	X	~~5,13~~ ~~12,4~~ 3,11	12,13	X	X	X	X	X	~~3,13~~ ~~0,4~~ 8,11	
13	~~13,5~~ ~~13,4~~ 3,11	~~12,4~~ ~~6,11~~ 6,11	X	X	~~12,4~~ ~~3,11~~ 3,11	12,5	X	X	X	X	X	~~3,5~~ ~~0,4~~ 8,11	13,15
	0	1	2	3	4	5	6	7	8	9	10	11	12



Performance Summary Report

Design: semestralka
 Device: XCR3064XL-6-PC44
 Speed File: Version 6.0
 Program: Timing Report Generator: version F.28
 Date: Sun Jan 09 17:37:19 2005

Performance Summary:

Pad to Pad (tPD) : 6.0ns (1 macrocell levels)
 Pad 'b' to Pad 'z'

Clock net 'clk' path delays:

Clock Pad to Output Pad (tCO) : 7.2ns (2 macrocell levels)
 Clock Pad 'clk' to Output Pad 'z' (GCK)

Clock to Setup (tCYC) : 5.2ns (1 macrocell levels)
 Clock to Q, net 'q0.Q' to DFF Setup(D) at 'q0.D' (GCK)
 Target FF drives output net 'q0.Q'

Setup to Clock at the Pad (tSU) : 4.0ns (0 macrocell levels)
 Data signal 'a' to DFF D input Pin at 'q0.D' (GCK)
 Clock pad 'clk'

Minimum Clock Period: 5.2ns
 Maximum Internal Clock Speed: 192.3Mhz
 (Limited by Cycle Time)

Pad to Pad (tPD) (nsec)

\ From b
 To z
 6.0

Clock Pad to Output Pad (tCO) (nsec)

\ From clk
 To
 q0 4.0
 q1 4.0
 q2 4.0
 z 7.2

Setup to Clock at Pad (tSU or tSUF) (nsec)

\ From clk
 To

\		To		-----	
a				4.0	
b				4.0	

Clock to Setup (tCYC) (nsec)					
(Clock: clk)					
\ From		q	q	q	
		0	1	2	
		.	.	.	
		Q	Q	Q	
\		To		-----	
q0.D		5.2	5.2	5.2	
q1.D		5.2	5.2	5.2	
q2.D		5.2	5.2	5.2	

Path Type Definition:

Pad to Pad (tPD) -

Reports pad to pad paths that start at input pads and end at output pads. Paths are not traced through registers.

Clock Pad to Output Pad (tCO) -

Reports paths that start at input pads trace through clock inputs of registers and end at output pads. Paths are not traced through PRE/CLR inputs of registers.

Setup to Clock at Pad (tSU or tSUF) -

Reports external setup time of data to clock at pad. Data path starts at an input pad and ends at register (Fast Input Register for tSUF) D/T input. Clock path starts at input pad and ends at the register clock input. Paths are not traced through registers. Pin-to-pin setup requirement is not reported or guaranteed for product-term clocks derived from macrocell feedback signals.

Clock to Setup (tCYC) -

Register to register cycle time. Include source register tCO and destination register tSU.